

PAT-NO: JP359215761A

DOCUMENT-IDENTIFIER: JP 59215761 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: December 5, 1984

INVENTOR-INFORMATION:

NAME

SHIIKI, HIDEO

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP58091007

APPL-DATE: May 24, 1983

INT-CL (IPC): H01L023/48

US-CL-CURRENT: 257/666, 257/787 , 257/E23.046

ABSTRACT:

PURPOSE: To attain the increase of density and fining by setting the thickness of the nose section of an inner lead to a value thinner than that of an outer lead.

CONSTITUTION: A large number of inner leads 3 are formed around an island 2 so that their nose sections are opposed to the side surface of the island. With the lead 3, the thickness of the nose section 3a is reduced sufficiently, and the thickness of a rear end section 3b is made larger than that of the nose section 3a and an outer lead is constituted. The island 2, a semiconductor element 1, bonding wires 5 and the leads 3 are sealed integrally with a resin seal body 7 while the end sections of the leads 4 are drawn out to the outside. In a frame formed in this manner, the strength of the lead 4 can be increased sufficiently because the thickness of the lead 4 is thick. Accordingly, the increase of density and fining can be attained easily in a semiconductor device with such leads 3 and 4.

COPYRIGHT: (C)1984,JPO&Japio

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59-215761

⑬ Int. Cl.³
H 01 L 23/48

識別記号

庁内整理番号
6732-5F
7357-5F

⑭ 公開 昭和59年(1984)12月5日

発明の数 1
審査請求 未請求

(全 3 頁)

⑮ 半導体装置

京芝浦電気株式会社多摩川工場
内

⑯ 特 願 昭58-91007

⑰ 出 願 人 株式会社東芝

⑱ 出 願 昭58(1983)5月24日

川崎市幸区堀川町72番地

⑲ 発 明 者 椎木英雄

⑳ 代 理 人 弁理士 鈴江武彦 外2名

川崎市幸区小向東芝町1番地東

明 細 書

1. 発明の名称

半 導 体 装 置

2. 特許請求の範囲

半導体素子が装着されたアイランドと、該アイランドの側面に所定間隔を設けて対設された多数本のインナーリードと、該インナーリードと一体に接続したアウターリードと、前記半導体素子と前記インナーリード間に架設されたボンディング線と、該ボンディング線、前記半導体素子、前記アイランド、前記インナーリードを前記アウターリードの一部が外部に導出するようにして封止した樹脂封止体とを具備する半導体装置において、インナーリードの先端部の肉厚をアウターリードの肉厚より薄肉に設定したことを特徴とする半導体装置。

3. 発明の詳細な説明

(発明の技術分野)

本発明は、半導体装置に関する。

(発明の技術的背景)

近年、LSIは、多ピン化され、その製造に際しては、高密度化及び微細化が要求されている。而して、LSIを構成する半導体装置は、アイランド上に所定の素子を装着し、アイランドの側面に設けられたインナーリードにボンディング線を架設すると共に、インナーリードの端部側に形成されたアウターリードを外部に導出するようにして素子等を樹脂封止体で封止した構造を有している。

(背景技術の問題点)

このような構造の半導体装置を高密度のものにするために、インナーリードの間隔を小さくすることが行われている。インナーリードの形成は、平板状のフレーム素材に所定パターンのエッチング処理を施して、アイランド、アウターリードの成形と同時にされる。インナーリードの間隔を小さくするには、フレーム素材の肉厚を薄くすることにより達成される。しかしながら、フレーム素材を薄肉にするとアウターリードの強度が不足する問題がある。

この問題を解消するために、第1図(A)に示す如く、フレーム素材20の肉厚 t_1 を大きくし、その両面にレジスト膜21を被着してエッチングを行うと、通常等方性エッチングが行われるため、同図(B)に示すフレーム素材20'の肉厚 t_2 が小さい場合に比べてサイドエッチング深し、が大きくなる。その結果、インナーリードの間隔が広くなり、高密度で十分に微細化された半導体装置が得られない。

〔発明の目的〕

本発明は、隣接するインナーリード相互間の間隔を小さくして、高密度化及び微細化を達成した半導体装置を提供することをその目的とするものである。

〔発明の概要〕

本発明は、インナーリードの先端部の肉厚をアウターリードの肉厚よりも薄肉に設定して、隣接するインナーリード相互間の間隔を小さくし、高密度化及び微細化を達成した半導体装置である。

ので、インナーリード3の相互間の間隔を容易に小さくすることができる。すなわち、まず、アイランド2、インナーリード3、及びアウターリード4等を形成するためのフレーム素材10を用意する。フレーム素材10の肉厚は、例えば0.2mmのものを用いる。次いで、このフレーム素材10上に、第3図(A)に斜線にて示す如く、アイランド2となる領域及びこれを支える支持リード2aとなる領域、アウターリード4及びインナーリード3の後端部3bを覆う所定パターンのレジスト膜11を形成する。次いで、このレジスト膜11をマスクにフレーム素材10の露出した領域に等方性エッチングを施し、フレーム素材10の肉厚が約0.1mmになるまでエッチング処理を行う。然る後、レジスト膜11を一旦除去し、再び第3図(B)に斜線にて示す如く、インナーリード3の全域、アウターリード4、アイランド2及びその支持リード2aとなる領域をレジスト膜12で覆う。このレジスト膜12をマスクにしてインナーリード3、アウ

〔発明の実施例〕

以下、本発明の実施例について図面を参照して説明する。

第2図は、本発明の一実施例の断面図である。図中1は、アイランド2上に装着された半導体素子である。アイランド2の周囲には、その側面に先端部を対向するようにして多数本のインナーリード3が設けられている。インナーリード3は、アイランド2に対向した先端部3aの肉厚を十分に小さくし、後端部3bは先端部3aよりもその肉厚を大きくしてアウターリード4を形成している。インナーリード3の先端部と半導体素子1間には、ボンディング線5が架設されている。アイランド2、半導体素子1、ボンディング線5及びインナーリード3は、アウターリード4の端部を外部に導出するようにして樹脂封止体7で一体に封止されている。

このように先端部3aを後端部3bよりも薄肉にしたインナーリード3は、フレーム素材に次のようなエッチング処理を施して形成できる

ターリード4、アイランド2、支持リード2aがフレーム素材10から完全に分離するまでエッチング処理を施し、先端部3aが後端部3bよりも薄肉になつたインナーリード3を有するフレームを得る。

このように形成されたフレームでは、インナーリード3の先端部3aを薄肉にして相互間の間隔を小さくできると共に、アウターリード4は厚肉になつているのでその強度を十分に高めることができる。

その結果、このようなリードフレーム3及びアウターリード4を備えた上述の半導体装置は、高密度化及び微細化を容易に達成することができる。

〔発明の効果〕

以上説明した如く、本発明に係る半導体装置によれば、隣接するインナーリード相互間の間隔を小さくして、高密度化及び微細化を達成することができる等顕著な効果を有するものである。

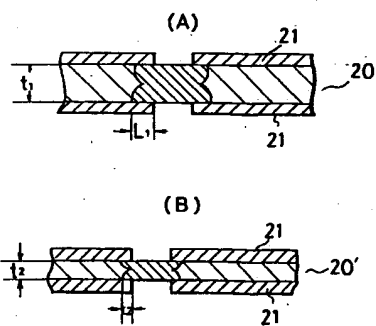
4. 図面の簡単な説明

第1図(A)及び同図(B)は、肉厚の異なるフレーム素材にエッチング処理を施している状態を示す断面図、第2図は、本発明の一実施例の断面図、第3図(A)及び同図(B)は、同実施例にて使用するフレームの製造の仕方を示す説明図である。

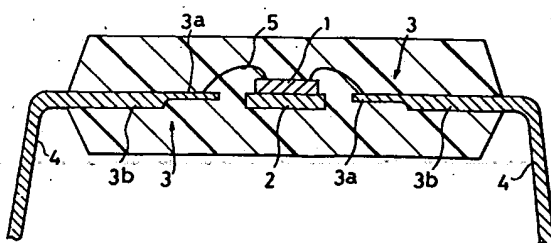
1…半導体素子、2…アイランド、3…インナーリード、3a…先端部、3b…後端部、4…アウターリード、5…ボンディング線。

出願人代理人 弁理士 鈴江 武彦

第1図

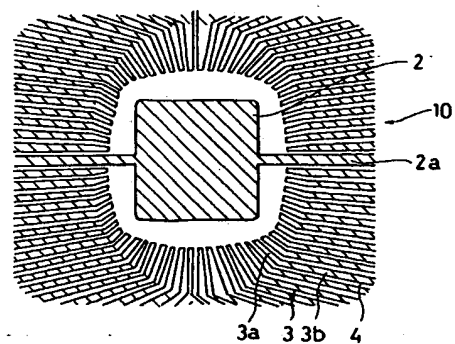


第2図



第3図

(A)



(B)

